

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-017462

(43)Date of publication of application : 22.01.1999

(51)Int.Cl.

H03F 1/32

(21)Application number : 09-162737

(71)Applicant : MASPRO DENKOH CORP

(22)Date of filing : 19.06.1997

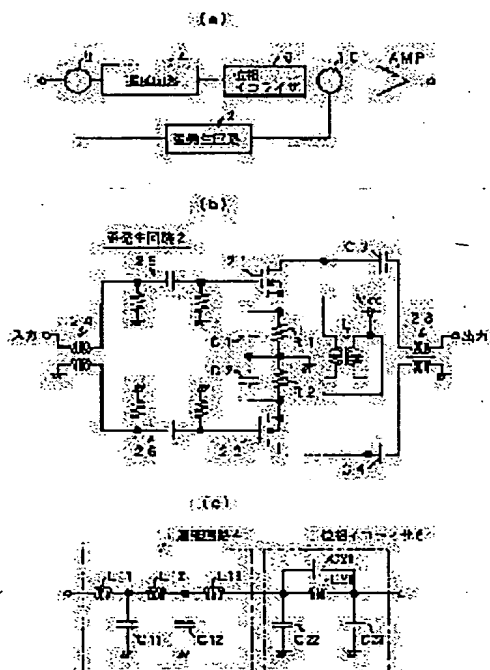
(72)Inventor : SUGIURA TOSHIHIRO
KONISHI HIROYOSHI

(54) PRE-DISTORTION CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a pre-distortion circuit capable of excellently suppressing distortion generated by an amplifier without being affected by temperature change.

SOLUTION: This pre-distortion circuit for reducing tertiary distortion generated by the amplifier AMP composed of a push-pull circuit is composed of a distortion generation circuit 2 composed of a push-pull amplifier circuit, a delay circuit 4 for delaying input signals for about 180 degrees and a phase equalizer 6 for correcting the phase of the input signals corresponding to the frequency-to-phase characteristics of the distortion generation circuit 2. In the circuit, since distortion signals (tertiary distortion) for distortion cancellation are made to correspond to the tertiary distortion generated by the amplifier AMP by adjusting the power supply voltage of the push-pull amplifier circuit and the phase characteristics of the input signals delayed in the delay circuit 4 are made to correspond to the frequency-to-phase characteristics of the distortion signals, the tertiary distortion generated in the amplifier AMP of a post stage is excellently reduced.



LEGAL STATUS

[Date of request for examination] 08.06.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3429161

[Date of registration] 16.05.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-17462

(43) 公開日 平成11年(1999) 1月22日

(51) Int.Cl.⁹

H 0 3 F 1/32

識別記号

F I

H 0 3 F 1/32

審査請求 未請求 請求項の数 1 O L (全 6 頁)

(21) 出願番号 特願平9-162737

(22) 出願日 平成9年(1997) 6月19日

(71) 出願人 000113665

マスプロ電気株式会社

愛知県日進市浅田町上納80番地

(72) 発明者 杉浦 敏博

愛知県日進市浅田町上納80番地 マスプロ
電気株式会社内

(72) 発明者 小西 博善

愛知県日進市浅田町上納80番地 マスプロ
電気株式会社内

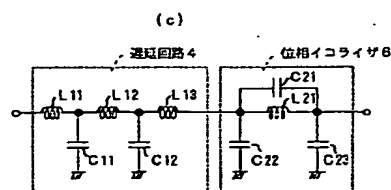
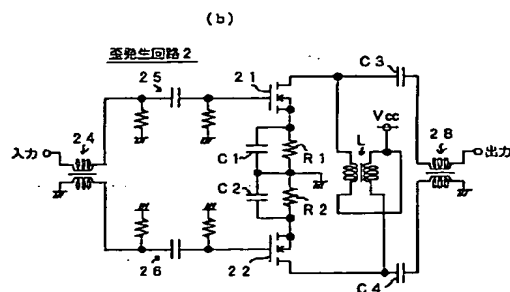
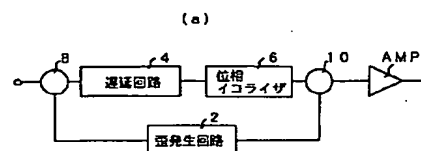
(74) 代理人 弁理士 足立 勉

(54) 【発明の名称】 プリディストーション回路

(57) 【要約】

【課題】 増幅器が発生する歪を、温度変化に影響されることなく、良好に抑制できるプリディストーション回路を提供する。

【解決手段】 プッシュプル回路からなる増幅器AMPが発生する3次歪を低減するプリディストーション回路を、プッシュプル増幅回路からなる歪発生回路2と、入力信号を略180度遅延させる遅延回路4と、入力信号の位相を歪発生回路2の周波数対位相特性に応じて補正する位相イコライザ6とから構成する。この回路では、歪相殺用の歪信号(3次歪)を、プッシュプル増幅回路の電源電圧を調整することにより、増幅器AMPが発生する3次歪に対応させることができ、しかも、位相イコライザ6により、遅延回路4で遅延された入力信号の位相特性を、歪信号の周波数対位相特性に対応させることができるため、後段の増幅器AMPで発生する3次歪を良好に低減できる。



【特許請求の範囲】

【請求項 1】 入力信号の信号経路を 2 系統に分離する分離手段と、

該分離手段にて分離された 2 系統の信号経路の内の一方に設けられ、前記入力信号の位相を略 180 度遅延させる遅延手段と、

前記 2 系統の信号経路の内の他方に設けられ、後段の増幅器が発生する歪に対応した歪を生成する歪発生手段と、

前記遅延手段及び前記歪発生手段を夫々通過した前記各信号経路からの入力信号を合成して、後段の増幅器に出力する合成手段と、

を備え、前記歪発生手段が生成した歪により、後段の増幅器が発生する歪を相殺させるプリディストーション回路であって、

前記歪発生手段をプッシュプル増幅回路にて構成すると共に、

前記遅延手段が設けられた信号経路上に、前記入力信号の周波数対位相特性が、前記歪発生手段を構成する前記プッシュプル増幅回路の周波数対位相特性と一致するように、前記入力信号を位相補正する位相補正手段を設けたことを特徴とするプリディストーション回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、増幅器が発生する歪に対応した歪を増幅器の入力信号に重畳して増幅器に入力することで、増幅器から出力される歪を相殺させるプリディストーション回路に関する。

【0002】

【従来の技術】従来より、この種のプリディストーション回路は、例えば、図 3 に示すように、分配器 52 で入力信号を 2 系統に分配し、一方の経路には、入力信号を 180 度遅延させる遅延線路 54 を設け、他方の経路には、入力信号に対応した歪信号を発生する歪発生回路 56 を設け、これら各経路を通過した信号を混合器 58 で混合して、後段の増幅器 AMP に入力するように構成されている。

【0003】つまり、従来のプリディストーション回路では、歪発生回路 56 により、後段の増幅器 AMP が入力信号を受けて発生する歪と同レベルで同位相の歪信号を生成し、この歪信号と、遅延線路 54 にて 180 度遅延させた入力信号とを合成して、増幅器 AMP に入力することにより、増幅器 AMP の増幅動作によって生成される歪を、入力信号に合成した歪信号にて相殺させ、増幅器 AMP から出力される歪を抑制するのである。

【0004】

【発明が解決しようとする課題】ところが、従来のプリディストーション回路では、歪発生回路 56 に、歪発生素子としてダイオードを使用した回路が使用されているため、歪発生回路 56 にて生成される歪信号が温度によ

って大きく変化し、例えば、共同受信システムの幹線増幅器等、温度変化の大きい環境下で使用される増幅器には適用し難く、また、適用する場合には、別に温度補償用の回路を用けなければならないという問題があった。

【0005】一方、こうした問題を解決するために、特開昭 55-4102 号公報には、歪発生回路に、プッシュプル増幅回路を利用することが記載されている。つまり、プッシュプル増幅回路では、その動作電圧を調整したり、プッシュプル接続されたトランジスタに流す電流を非対称とすることにより、2 次歪や 3 次歪の信号レベルを任意に設定できるので、歪発生回路にプッシュプル増幅回路を用いることにより、増幅器に対応した所望の歪を温度変化の影響を受けることなく安定して生成できるようにするのである。

【0006】しかし、この提案のように、プッシュプル増幅回路をプリディストーション回路の歪発生回路に利用した場合、入力信号の周波数が低い場合には問題ないが、入力信号の周波数が高くなると、プッシュプル増幅回路自体の周波数特性によって、生成した歪の位相が入力信号からずれてしまい、後段の増幅器が発生する歪と一致させることができなくなるといった問題があった。

【0007】つまり、上記提案のプッシュプル増幅回路を歪発生回路として使用したプリディストーション回路では、例えば、共同受信システムの増幅器のように、数十 MHz ～数百 MHz 帯の周波数領域で、テレビ放送信号等の多数の高周波信号を多重伝送するシステムにおいて使用される増幅器の歪を、良好に抑制することができないのである。

【0008】本発明は、こうした問題に鑑みなされたものであり、上記のように高周波信号を増幅する増幅器であっても、その増幅器が発生する歪を、温度変化に影響されことなく安定して抑制することができ、しかも、簡単な回路構成で実現できるプリディストーション回路を提供することを目的とする。

【0009】

【課題を解決するための手段】かかる目的を達成するためになされた請求項 1 に記載のプリディストーション回路においては、まず、分離手段によって、入力信号が 2 系統の信号経路に分離される。そして、その分離された入力信号の内、歪発生手段が設けられた信号経路に入力された入力信号は、後段の増幅器が発生する歪に対応した歪信号に変換される。また、もう一方の信号経路に入力された入力信号は、遅延手段の動作によって、略 180 度遅延されると共に、位相補正手段の動作によって、周波数対位相特性が、歪発生手段を構成するプッシュプル増幅回路の周波数対位相特性に一致するように補正される。そして、これら各経路を通過した信号は、合成手段にて合成されて、後段の増幅器に入力される。

【0010】即ち、歪発生手段にプッシュプル増幅回路を用いた場合、歪発生手段が発生する歪信号のレベル

は、プッシュプル増幅回路の動作電圧等を調整することにより任意に設定できるものの、歪信号の位相は、プッシュプル増幅回路の動作周波数の高周波側で入力信号から大きくずれることから、本発明では、この位相のずれを位相補正手段によって入力信号にも与え、後段の増幅器が入力信号を増幅することにより発生する歪と入力信号に重畳した歪との位相差が、全周波数領域で180度となって、高周波領域でも歪を確実に相殺できるようにしているのである。

【0011】このため、本発明のプリディストーション回路によれば、プッシュプル増幅回路の動作条件及び位相補正手段の特性を調整することにより、後段の増幅器からの出力信号に含まれる歪成分を簡単に低減することができる。また、本発明は、歪発生素子としてダイオードを使用する必要がないので、温度変化の影響を受けることなく安定に動作し、しかも、位相補正手段によって、プリディストーション回路として動作可能な周波数領域を高周波側に拡大できる。よって、本発明によれば、共同受信システムの増幅器のように、温度変化の大きい環境下で使用され、しかも使用周波数が高く、使用帯域幅も広いシステムにおいて使用される増幅器の歪を低減するのに好適な回路となり得る。

【0012】ここで、プッシュプル増幅回路は、その動作電圧を調整したり、プッシュプル接続されたトランジスタの電流を調整して各トランジスタを非対称に動作させることによって、2次歪や3次歪のレベルを調整できるが、後段の増幅器がフィードフォワード増幅器、あるいはプッシュプル回路からなる増幅器であれば、各トランジスタを非対称に動作させる必要はなく、単に動作電圧を調整するだけでよいので、本発明のプリディストーション回路は、こうしたシステムに適用することが好ましい。

【0013】つまり、後段の増幅器がプッシュプル回路からなる増幅器である場合、各トランジスタの増幅動作によって生じる2次歪成分は相殺されることから、プリディストーション回路にて低減すべき歪は、3次歪成分となる。また、フィードフォワード増幅器でも、入力信号の増幅によって生じる2次歪成分が、増幅器内部で低減される。一方、本発明では、歪発生手段がプッシュプル増幅回路にて構成されているため、これを通常動作させれば、2次歪成分に比べて3次歪成分が大きい信号が出力される。そして、この歪成分は、プッシュプル増幅回路の動作電圧を低くすればするほど大きくなる。

【0014】このため、本発明のプリディストーション回路を、フィードフォワード増幅器、あるいはプッシュプル回路からなる増幅器に対する歪低減用回路として使用すれば、歪発生手段を構成するプッシュプル増幅回路の動作電圧を調整（設定）するだけで、必要な歪信号を生成できることになり、極めて簡単な調整作業で、歪の少ない増幅装置を実現できるようになる。

【0015】また、本発明では、歪発生手段に、プッシュプル増幅回路を使用するため、歪発生手段からは、入力信号に対する歪成分だけでなく、入力信号を増幅した信号成分も出力されることになり、合成手段にて各経路を通過した信号を合成する際には、遅延手段及び位相補正手段を通過した入力信号に、その増幅後の信号成分が合成され、合成後の入力信号は損失を受けることになる。

【0016】しかし、歪発生手段にて生成すべき歪信号は、後段の増幅器にて増幅されたときのレベルが、増幅器が自ら発生した歪のレベルと同じであればよく、歪発生手段からは低レベルの歪信号を発生すればよいので、歪発生手段を構成するプッシュプル増幅回路自体の利得を充分小さくすることができる。このため、信号合成時に、遅延手段及び位相補正手段を通過した入力信号が、歪発生手段から増幅・出力される入力信号によって大きな損失を受けることはない。

【0017】また、プリディストーション回路を通過する入力信号の損失をより低減するには、分離手段及び合成手段として、図3に示した従来装置のように、信号を1対1で分配・混合する分配器及び混合器を用いるのではなく、遅延手段側への信号通過は低損失（1dB程度）で行い、歪発生手段側への信号通過は大損失（十数dB程度）で行う分岐器を使用するようにすればよい。

【0018】一方、遅延手段としては、一般的には、同軸ケーブル等を使用した遅延線路が使用されるが、この場合、遅延手段に物理的な長さが重要であり、プリディストーション回路の小型化は難しくなる。このため、プリディストーション回路の小型化を図るには、ローパスフィルタ等で構成した擬似的な遅延線路（つまり遅延回路）を用いることが望ましい。

【0019】また、この遅延手段は、理論的には、入力信号を180度遅延させれば、後段の増幅器側で、自らが発生した歪と、歪発生手段から受ける歪とを相殺させることができるのであるが、本発明のように、位相補正手段を設けた場合には、遅延手段による遅延量を、位相補正手段と遅延手段の合計の遅延量が使用周波数帯域の略中央で180度となるように、180度よりも若干少なくして設定される。

【0020】

【発明の実施の形態】以下に、本発明の一実施例を説明する。図1は、本実施例のプリディストーション回路の構成を表し、(a)は、後段の増幅器AMPを含むプリディストーション回路全体の構成を表すブロック図、

(b)は、プリディストーション回路を構成する歪発生回路2の構成を表す電気回路図、(c)は、同じくプリディストーション回路を構成する遅延回路4及び位相イコライザ6の構成を表す電気回路図である。

【0021】本実施例のプリディストーション回路は、例えば、70MHz～770MHzの周波数帯域内で多

数のテレビ放送信号を多重伝送するビル共同受信システムの分配増幅装置や延長増幅装置、あるいは幹線増幅装置に組み込まれ、伝送信号を増幅する増幅器AMPの前段に配置されて、この増幅器AMPが発生する歪成分を低減するために用いられるものであり、図1(a)に示す如く、歪発生手段としての歪発生回路2と、遅延手段としての遅延回路4と、位相補正手段としての位相イコライザ6と、を備える。尚、増幅器AMPは、その動作によって発生する2次歪成分が少なくなるようにプッシュプル回路にて構成された周知のものである。

【0022】歪発生回路2と、遅延回路4及び位相イコライザ6とは、夫々、異なる信号経路上に設けられ、遅延回路4側の信号経路には、幹線を介して入力される伝送信号が分岐器8を介して低損失（例えば損失1.0dB）で入力され、歪発生回路2側の信号経路には、伝送信号が分岐器8の分岐端子から10dB程度の損失を受けて入力される。また、遅延回路4側の信号経路を通過した伝送信号は、分岐器10を介して低損失（例えば損失1.0dB）で増幅器AMP側に出力され、歪発生回路2側の信号経路を通過した伝送信号は、分岐器10の分岐端子から増幅器AMP側に10dB程度の損失で出力される。

【0023】つまり、本実施例では、分離手段、合成手段として、入出力端子間では損失が少なく、入出力端子と分岐端子との間では損失が大きい分岐器8、10が使用され、遅延回路4、位相イコライザ6を通過して増幅器AMPに入力される伝送信号の損失ができるだけ少なくなるようにされている。

【0024】次に、歪発生回路2は、図1(b)に示すように、プッシュプル接続された一対のFET21、22からなるプッシュプル増幅回路にて構成されている。このプッシュプル増幅回路では、分岐器8を介して入力された伝送信号が、入力トランス24により、正負を反転させた2つの信号に分離され、更に、夫々がインピーダンスマッチング用抵抗、直流カット用コンデンサ、及びバイアス用抵抗からなる入力段回路25、26を介して、各FET21、22のゲートに入力される。そして、各FET21、22のソースは、抵抗R1、R2及びコンデンサC1、C2を介して夫々接地され、各FET21、22のドレインには、高周波成分カット用のチョークコイルLを介して、電源電圧Vccが夫々印加されることから、各FET21、22のゲートに入力された伝送信号は、各FET21、22で増幅されて、各FET21、22のドレインから出力される。そして、各FET21、22のドレインに発生した増幅後の伝送信号は、直流成分カット用のコンデンサC3、C4、及び、出力トランス28を介して、分岐器10の分岐端子に出力される。尚、出力トランス28は、各FET21、22で増幅された伝送信号を合成して出力するためのものである。

【0025】このように構成されたプッシュプル増幅回路では、各FET21、22の動作によって発生した2次歪が相殺されることから、2次歪成分に比べて、3次歪成分が著しく大きくなり、また、歪レベルは、各FET21、22の動作電圧、換言すれば、電源電圧Vccによって変化する（図2(a)参照）。そこで、本実施例では、この電源電圧Vccを調整することにより、歪発生回路2が発生する3次歪の信号レベルが、後段の増幅器AMPが発生する3次歪を低減するのに十分なレベルに設定されている。尚、後段の増幅器AMPもプッシュプル回路から構成されているため、歪発生回路2から、増幅器AMPが発生する2次歪成分を低減するための歪信号を出力する必要はない。

【0026】一方、遅延回路4及び位相イコライザ6は、図1(c)に示す如く、コンデンサとコイルとの組み合わせによる所謂フィルタ回路にて構成されている。即ち、遅延回路4は、信号経路に対して直列に設けられた複数（本実施例では、3個）のコイルL11~L13と、一端が各コイルL11~L13の接続点に接続され、他端が接地されたコンデンサC11、C12とからなるローパスフィルタにより構成されている。

【0027】そして、伝送信号がこの遅延回路4を通過する際の遅延量は、伝送信号の全周波数領域で、平均して180度よりも若干小さい170度付近となるようにコイルL11~L13及びコンデンサC11、C12の電気特性（インダクタンス及び容量）が設定されている。このことにより、位相イコライザ6との合計の遅延量が、使用周波数帯域の略中央で180度となっている。

【0028】また、位相イコライザ6は、信号経路に対して直列に設けられたコイルL21と、このコイルL21に並列に接続されたコンデンサC21と、一端がコイルL21の両端に夫々接続され、他端が接地されたコンデンサC22、C23とにより構成されている。

【0029】この位相イコライザ6は、図2(b)に示す如く、遅延回路4側の信号経路を通過する伝送信号の周波数対位相特性を、歪発生回路2を構成するプッシュプル増幅回路の周波数特性（詳しくは周波数対位相特性）に一致させて、伝送信号の高周波領域でも、後段の増幅器AMPにて発生する3次歪を、歪発生回路2にて生成した歪信号により確実に低減できるようにするためのものであり、コイルL21及びコンデンサC21~C23の電気特性（インダクタンス及び容量）は、歪発生回路2の周波数対位相特性に対応して設定されている。

【0030】このように構成された本実施例のプリディストーション回路においては、分岐器8を介して低損失で入力された伝送信号は、遅延回路4にて、略180度（詳しくは170度）遅延され、更に、位相イコライザ6にて、周波数対位相特性が、歪発生回路2を構成するプッシュプル増幅回路の周波数対位相特性に一致するように補正される。一方、分岐器8の分岐端子から出力さ

れる伝送信号は、歪発生回路 2 を構成するプッシュプル増幅回路にて、3 次歪が後段の増幅器 AMP で発生する 3 次歪を相殺可能なレベルとなるように増幅される。そして、この増幅後の信号は、分岐器 1 0 にて、遅延回路 4 及び位相イコライザ 6 を通過した伝送信号に重畳されて、後段の増幅器 AMP に入力される。

【0031】この結果、後段の増幅器 AMP では、遅延回路 4 及び位相イコライザ 6 を通過した伝送信号を増幅することにより発生した歪成分（3 次歪）が、歪発生回路 2 で生成された歪信号（3 次歪）により相殺され、増幅器 AMP からは歪成分の少ない伝送信号が出力されることになる。

【0032】例えば、図 2（c）は、本実施例のプリディストーション回路を増幅器 AMP の前段に組み込んだ際に増幅器 AMP から出力される歪成分（ここでは、共同受信システムにおいてビデオ信号上の低域妨害として観測される複合 3 次歪（コンポジット・トリプル・ビート；CTB））と、増幅器 AMP を単体で動作させたときに増幅器 AMP から出力される歪成分とを夫々測定した結果を表しているが、この測定結果から、本実施例のプリディストーション回路を使用した場合（図に実線で示す）には、増幅器 AMP を単体で動作させたとき（図に点線で示す）に比べて、歪を充分低減でき、しかも、その歪低減効果は、全周波数領域で安定して発揮できることが解る。

【0033】尚、本実施例では、歪発生回路 2 側の伝送信号は、各分岐器 8、1 0 を通過する際に大きく低減され、分岐器 1 0 において遅延回路 4 側の伝送信号に重畳される際には、遅延回路 4 側の伝送信号に対して、信号レベルが 1 / 1 0 程度となるため、プリディストーション回路における伝送信号の損失は、3 d B 程度となり、入力信号の分離及び合成のために、分配器や混合器を使

用した場合に比べて、伝送信号自体の損失も低減できる。

【0034】以上、本発明の一実施例について説明したが、本発明は上記実施例に限定されるものではなく、種々の態様を採ることができる。例えば、上記実施例では、遅延回路 4 を、コイルとコンデンサとからなるローパスフィルタにて構成したが、遅延回路 4 は、入力信号の位相を略 1 8 0 度（好ましくは、1 7 0 度程度）遅延させることができればよい。従来より一般に行われているように、同軸ケーブル等の信号線により構成してもよい。尚、このように信号線を用いて遅延回路 4 を形成した場合には、入力信号の波長に応じて信号線の長さを設定する必要があるため、入力信号の周波数が低い程、長くする必要があり、プリディストーション回路の大型化を招く虞がある。

【0035】また、上記実施例では、歪発生回路 2 を構成するプッシュプル増幅回路として、F E T 2 1、2 2 にて構成したものについて説明したが、プッシュプル増幅回路としては、バイポーラトランジスタからなるものを使用しても、上記実施例と同様の効果を得ることができる。

【図面の簡単な説明】

【図 1】 実施例のプリディストーション回路の構成を表す説明図である。

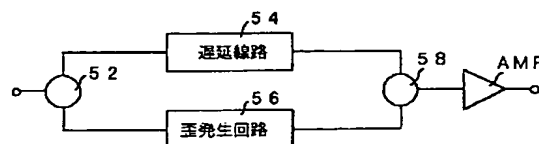
【図 2】 実施例のプリディストーション回路の動作を説明する説明図である。

【図 3】 従来のプリディストーション回路の構成を表す説明図である。

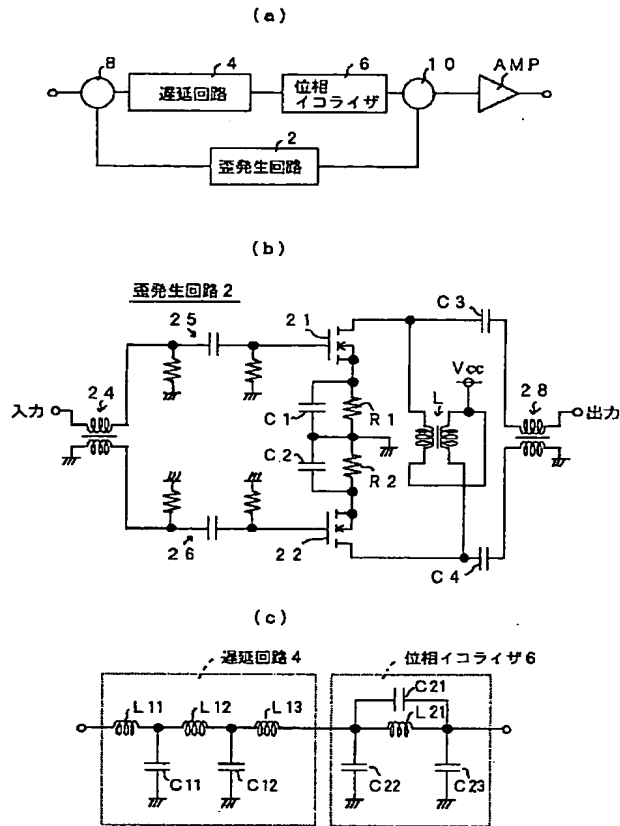
【符号の説明】

2 … 歪発生回路 4 … 遅延回路 6 … 位相イコライザ
8、1 0 … 分岐器 AMP … 増幅器

【図 3】



【図1】



【図2】

